

Способы тестирования физуровней памяти DDR3.

И.Е. Билялетдинов, А.Е.Ометов, Л.С. Тимин

АО «МЦСТ»

Московский физико-технический институт (государственный университет)

Современные вычислительные комплексы (ВК) представляют собой сложные системы, состоящие из множества взаимосвязанных функциональных блоков. Отдельный интерес представляет канал связи микропроцессора с оперативной памятью. Он состоит из нескольких сотен сигнальных линий и функционирует на высокой частоте. Эти обстоятельства обуславливают важность и сложность задачи его отладки. В докладе описывается разработка новой методологии тестирования канала связи микропроцессора с оперативной памятью и опыт её применения при отладке ВК на базе микропроцессора «Эльбрус — 8С».

Проверка проводится с помощью отладочного модуля DDR3 памяти с JTAG интерфейсом, определенным стандартом IEEE 1149.1. Ввиду того, что такой способ доступа не позволяет проверить работоспособность связей на рабочей частоте, для решения проблемы было решено прибегнуть к встроенному самотестированию (build-in self test, BIST), согласно которому в микросхему вводится необходимое отладочное оборудование, которое позволяет быстро проверить ее на наличие ошибок почти без использования дополнительных устройств.

В российском микропроцессоре «Эльбрус — 8С» действия BIST управляются с помощью внутренних регистров физического уровня, доступ к которым может осуществляться как программно, так и с помощью интерфейса JTAG. Заложенные в аппаратуру встроенные тесты позволяют проверить работоспособность контроллеров памяти внутри процессора, работу буферов ввода/вывода каналов памяти и связей с модулями оперативной памяти.

Этот функционал дает возможность проводить эффективное тестирование микропроцессоров и выявлять ошибки в подсистеме памяти, допущенные при производстве, разработке и эксплуатации.

Литература

1. *Laung-Terng Wang, Stroud C.E., Toubia N.A.* System-on-Chip Test Architectures. Nanometer Design for Testability. // Burlington:Morgan Kaufmann Publishers, 2008 — 856p.
2. DIMM Socket Tester Module. JT 2127 Series. User's Manual // Netherlands:JTAG Technologies B. V.,2013 — 59p.
3. DesignWare Cores DDR3/2 SDRAM PHY Utility Block (PUB) Databook, Version 3.16 // Mountain View:Synopsys Inc., 2013 — 428p.
4. IEEE Standard Test Access Port and Boundary-Scan Architecture // New York: The Institute of Electrical and Electronics Engineers, Inc, 2001 — 200p.