

**Проектирование многопортовых блоков памяти с повышенной помехоустойчивостью для кэш-памяти первого уровня.**

Ю.М. Потовин, Ю.Л. Погребной  
Акционерное общество «МЦСТ»

Принципиальный подход к разработке заказных блоков памяти для кэша первого уровня восьмиядерного микропроцессора серии «Эльбрус» основывался на использовании схемотехники, при которой все транзисторы работают с полным логическим перепадом[1].

В данном подходе применялись различные схемотехнические и топологические методы. Проектирование выполнялось на основе технологического процесса 28 нм. В процессе рассмотрения стандартных методик проектирования блоков памяти путем сравнительного моделирования и анализа логической структуры кэш-памяти выбирались оптимальный размер и портовость блоков памяти.

В результате использования данных методов выбрана топология блоков памяти 512 слов X 78 бит, 4 порта чтения, 2 порта записи для памяти данных, и 512 слов X 53 бита, 4 порта чтения, 1 порт записи для памяти тегов. Показано, что 1) наибольшее быстродействие достигается при использовании схемотехники с полным логическим перепадом, так как блоки памяти, полученные стандартным компилятором, не обеспечивают нужных временных характеристик; 2) такая схемотехника обеспечивает высокую помехозащищенность блока [2-3]. С использованием этих решений спроектированы схемотехника и топология блоков для памяти данных и тегов кэш-памяти первого уровня восьмиядерного микропроцессора серии «Эльбрус». Проведена экстракция паразитных емкостей и сопротивлений, а также характеристика разработанных блоков.

Выработанные и проверенные в процессе разработки решения приняты за основу при проектировании заказных блоков кэш-памяти нового поколения многоядерных микропроцессоров компании ЗАО «МЦСТ».

Литература

1. *Guo Z.* et al. “Large Scale SRAM Variability Characterization in 45 nm CMOS” // IEEE Journal of Solid -State Circuits, Vol. 44, pp 3174-3192, Nov 2009.
2. *Grossar E.* et al. “ Read Stability and Write-ability Analysis of SRAM Cells for Nanometer Technologies” // IEEE Journal of Solid -State Circuits, Vol. 41, pp 2577-2588, Nov 2006.
3. *Chang L.* et al. “An 8T SRAM for Variability Tolerance and Low-Voltage Operation in High Performance Caches” // IEEE Journal of Solid -State Circuits, Vol. 43, pp 956-963, Mar 2008.