

Реализация многоканального приемника радиолокационного сигнала
с применением математических ПЛИС

Р.В. Сидоров¹, С.В. Литвинов¹

¹Открытое акционерное общество "Научно-производственный комплекс "Научно-исследовательский институт дальней радиосвязи" (ОАО НПК НИИДАР)

Со времен появления радиолокации, системы приема сигналов не перестают улучшаться и совершенствоваться. Благодаря наличию сложных цифровых устройств, таких как ПЛИС, появилась возможность реализации тракта цифрового приема с большим спектром характеристик на одной микросхеме.

Целью данной работы является сравнение полученных выходных параметров модели приемника, выполненного в программе симуляции цифровой системы QuestaSim, с его аппаратной реализацией на отладочной плате Terasic SoCKit.

В данной работе была создана модель многоканального цифрового приемника в программе для симулирования цифровых устройств QuestaSim. В процессе построения системы у разработчика могут возникнуть вопросы, связанные с работой проекта, ответить на которые он сможет лишь после получения опытно-конструкторского образца. Ошибка в данном случае будет очень затратной, для исправления которой может потребоваться не только вмешательство в программную часть проекта, но и в аппаратную. Чтобы не допустить серьезных ошибок в проекте, а так же рассмотреть теоретическую модель системы, максимально приближенную к аппаратной части, используется симуляция проекта.

Данная система представляет из себя цифровой преобразователь вниз (Digital Down Converter), который включает в себя блок цифровой гетеродина, блок умножителей, и блоки цифровой фильтрации – фильтр-дециматор и КИХ-фильтр.

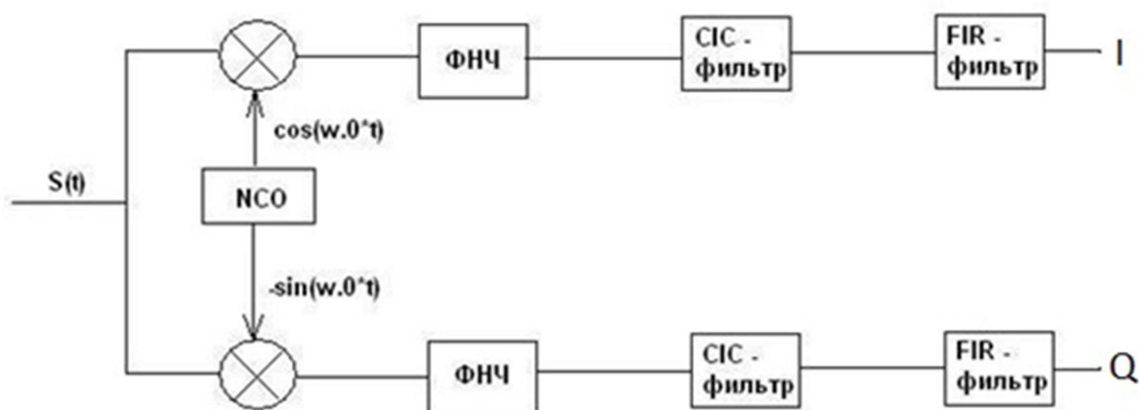


Рис.1. Структура цифрового преобразователя “вниз”. $S(t)$ – входной сигнал, nco – цифровой гетеродин, ФНЧ – фильтр нижних частот, сiс-фильтр – дециматор, fir-фильтр – фильтр с конечной импульсной характеристикой.

Данные на выходе DDC передаются в последовательном или параллельном коде в зависимости от требований. Основная задача DDC – принять цифровой сигнал с аналого-цифрового преобразователя и обработать. Под обработкой понимается перенос спектра высокочастотного сигнала на нулевую частоту для уменьшения частоты дискретизации входного сигнала. Децимация используется для минимизации объема вычислений путем уменьшения потока данных, когда полоса частот, занимаемая сигналом, уменьшается вследствие низкочастотной фильтрации.

В другой части работы блок цифрового приемника был синтезирован в среде разработки Quartus и запущен на отладочной плате Terrasic SoCKit. Благодаря встроенным IP-блокам, таких как блок умножителей, блок цифрового гетеродина, блоки фильтров систем инженеру уже не требуется подстраиваться под архитектуру ПЛИС, так как каждый блок уже оптимизирован под конкретное семейство микросхем, что значительно упрощает процесс описания цифровой аппаратуры.

В заключительной части работы был произведен анализ полученных данных с модельной и аппаратной системы цифрового приемника. После проведения сравнения обеих систем можно сделать вывод, что данные с модели полностью подтверждают аппаратную реализацию цифрового приемника.

Литература

1. Сергиенко А.Б. Цифровая обработка сигналов. – СПб.: Питер, 2002. – 608 с.
2. Лайонс Р. Цифровая обработка сигналов. Пер. с англ. – М.: ООО Бином-Пресс, 2013. – 656 с.
3. Солонина А.И. Цифровая обработка сигналов. Моделирование в Simulink. – СПб.: БХВ – Петербург, 2012. – 536 с.