

Моделирование исполнения спекулятивно загруженных команд в быстром потактовом симуляторе микропроцессора

П. И. Крюков^{1,2}

¹Московский физико-технический институт (государственный университет)

²АО «Интел А/О»

При разработке высокопроизводительных микропроцессоров получает распространение методология одновременного использования двух программных потактовых симуляторов, позволяющая достичь высокой скорости и высокой точности моделирования [1][2][3]. Суть этой методологии заключается в использовании «быстрого» симулятора для предварительной оценки эффективности предлагаемых улучшений, в то время как на «медленном» симуляторе все изменения анализируются с точностью, сравнимой с точностью RTL-прототипа.

Как правило, уточнение сопровождается потерей скорости моделирования, поэтому важной задачей, возникающей при использовании этой методологии, является поиск компромисса между точностью и скоростью работы быстрого симулятора. В качестве метрики скорости используется среднее количество тактов, моделируемых в секунду, выраженное в Гц. В качестве метрики точности используется относительная разница в количестве затраченных быстрым и медленным симуляторами тактов на моделирование исполнения одной и той же трассы, выраженная в процентах; таким образом, 0% соответствует наибольшей точности быстрого симулятора [1].

В настоящей работе проводится исследование влияния на точность и скорость симуляции моделирования загрузки и исполнения команд, спекулятивно загружаемых в процессор при неверном предсказании результата команды-перехода. Повышения точности планируется достичь за счёт «прогрева» модели кэша команд и предсказателя переходов, так как неверно загруженные команды потребуются процессору в будущем с вероятностью более 90% [4]. Аналогично возможен и прогрев кэша данных в том случае, если спекулятивные команды обращаются к памяти. С другой стороны, моделирование исполнения спекулятивных команд может существенно увеличить время симуляции, при том что их результаты заведомо не будут использованы.

Были исследованы существующие программные потактовые симуляторы: эталонный медленный симулятор высокой точности и быстрый. За счёт использования быстрым симулятором функционального симулятора как источника последовательности исполняемых команд (feeder), спекулятивность команд разрешается до непосредственного моделирования их прохождения по конвейеру. Эта функциональность была дополнена возможностью моделирования загрузки спекулятивных команд в процессор из дополнительного «спекулятивного» функционального симулятора. Обе версии быстрого симулятора и эталонный симулятор были запущены на наборе из 930 трасс, составленном из участков кода существующих коммерческих программных продуктов,

наборов SPEC2006 и TPC-C.

Результаты экспериментов показали, что версия быстрого симулятора с моделированием загрузки и исполнения спекулятивных команд обладает несколько большей точностью в 7,06% по сравнению с исходной версией (7,26%) при геометрическом усреднении результатов по всем трассам. Важным показателем является уменьшение количества трасс, разница в количестве моделируемых тактов в которых составляет более 20%, с 40 до 29 (рис. 1). Средняя скорость моделирования при этом понизилась на 12% с 3,9 кГц до 3,4 кГц, тем не менее, оставаясь высокой относительно скорости точного симулятора в 0,6 кГц.

Таким образом, исходя из соображений баланса скорости и точности симуляции, режим моделирования загрузки и исполнения спекулятивно загруженных команд был признан допустимым улучшением быстрого потактового симулятора, рекомендованным для использования в последующих экспериментах.

Литература

1. *О. В. Шимко, К. Р. Гарифуллин* Новый подход к быстрой разработке аппаратно-программных архитектур // Труды 55-й научной конференции МФТИ «Современные проблемы фундаментальных и прикладных наук». – 2012. – Т. 1. – С. 99-100.
2. *Trevor E. Carlson, Wim Heirman, Lieven Eeckhout* Sniper: Exploring the level of abstraction for scalable and accurate parallel multi-core simulation // International Conference for High Performance Computing, Networking, Storage and Analysis — 2011 — pp.1-12, 12-18.
3. *Igor Böhm, Björn Franke, Nigel Topham* Cycle-Accurate Performance Modelling in an Ultra-Fast Just-In-Time Dynamic Binary Translation Instruction Set Simulator // Proceedings of the International Symposium on Systems, Architectures, Modeling, and Simulation — 2010.
4. *Ravi Bhargava, Lizy K. John, Francisco Matus* Accurately modeling speculative instruction fetching in trace-driven simulation // IEEE International Performance, Computing and Communications Conference — 1999 — pp. 65-71.



Рис. 1. Распределение трасс по точности моделирования на быстром симуляторе