

## **Верификация цифровых схем с несколькими сигналами синхронизации.**

Л.Г. Нидеккер<sup>1,3</sup>, М.Н. Алексеев<sup>2</sup>, В.И. Эннс<sup>1</sup>, В.В. Зайцев<sup>1</sup>.

<sup>1</sup>АО «НИИМЭ»

<sup>2</sup>Cadence Design System Inc.

<sup>3</sup>Московский физико-технический институт (государственный университет)

Стандартный маршрут проектирования цифровых микросхем подразумевает наличие этапа функционального проектирования, который состоит в разработке поведенческого описания схемы на уровне регистровых передач (RTL). Как правило, для этого используют один из языков описания аппаратуры (Verilog, SystemVerilog, VHDL). В случае верного подхода к проектированию цифровых схем, основным сигналом является синхросигнал, к которому привязаны все события, такие как, время записи в регистры и память. Все обмены данными между различными частями схемы также ведутся в привязке к синхросигналу. В последнее время все более распространены случаи, когда на плате (или внутри микросхемы) присутствуют несколько генераторов тактовых сигналов, являющихся асинхронными и несинфазными между собой.

Процедура верификации RTL описания цифровой схемы сводится к написанию поведенческого теста, с помощью которого проверяется функциональная составляющая работы схемы. Данный подход в общем случае требует включения в процесс моделирования паразитных эффектов, возникающих при работе тестируемой микросхемы на печатной плате, в составе конечного устройства. Одним из наиболее значимых паразитных эффектов является случайное изменение тактового сигнала, поступающего на микросхему с внешнего источника (clock jitter) [1]. К причинам данного явления можно отнести нестабильность генератора тактового сигнала, а так же произвольное изменение параметров линий передач на плате в процессе работы устройства. Другим эффектом является несинфазность источников синхросигналов на плате (или внутри микросхемы), а также неодновременное начало генерации тактовых сигналов, вызванное невозможностью синхронного старта таких генераторов.

При разработке RTL описания схемы, имеющей один синхродомен [2] (т.е. тактируемой одним внешним синхросигналом), учет всех перечисленных эффектов не является обязательным. Совсем по-другому обстоит дело, если цифровая схема имеет несколько доменов синхронизации и реализована передача данных между доменами (Рис. 1.). В этом случае непредсказуемое изменение тактового сигнала может привести к некорректной передаче информации от одного синхродомена к другому и как следствие функциональному отказу микросхемы [3]. Для предотвращения описанных проблем используют специальные протоколы

обмена, такие как FIFO (работающий на обеих частотах), hand-shake. Для устранения метастабильности [4] при переходе с одной частоты на другую используют пару (или более) последовательно подключенных триггеров на приемной стороне.

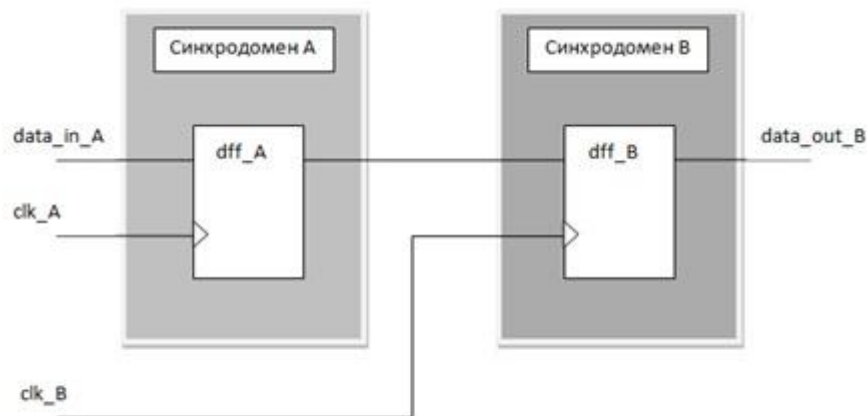


Рис. 1. Пример схемы с несколькими доменами синхронизации.

Предлагаемая методика верификации позволяет проверить надежность реализованных в схеме протоколов обмена данными между различными доменами синхронизации. Основная идея заключается в моделировании (для каждого синхросигнала) случайного времени старта и случайных отклонений тактовых сигналов, относительно их идеальных положений, на этапе функциональной верификации RTL описания схемы. Этот метод позволяет обнаружить проблемы пересинхронизации, описанные в [3].

На рисунке 2 представлен результат моделирования тактового сигнала с учетом его случайного изменения.

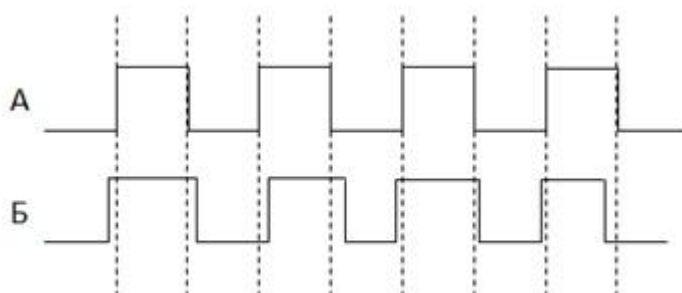


Рис. 2. Пример тактового сигнала: А – идеальный случай; Б – с учетом случайного изменения и времени начала синхро-последовательности.

Применение описанного метода в составе функциональной верификации RTL описания цифровых схем с несколькими синхродоменами позволяет еще на этапе разработки кода детектировать возможные проблемы с передачей данных между асинхронными и

несинфазными доменами, что в итоге приводит к экономии как временных, так и денежных ресурсов, затрачиваемых на изготовление конечного изделия.

С использованием предлагаемого метода предоставляется возможность моделировать любые неидеальные сигналы, а также эмулировать случайные шумовые воздействия (помехи) на сигналы в плате, или межплатные взаимодействия. Также видится применение этого метода для моделирования возможных воздействий на схему, вызванных радиацией, в том числе космической.

#### Литература

[1] The Smart Timing Choice, 2 SiT-AN10007 Rev 1.2, Clock Jitter Definitions and Measurement Methods, January 2014.

[2] *И.Г. Каршенбойм* Асинхронные частоты, пересечение клоковых доменов и синхронизация // Компоненты и технологии. – 2009. - №2. – С. 116 – 121.

[3] *Кожин А.С.* Проблемы передачи данных между асинхронными доменами вычислительного устройства // Вопросы радиоэлектроники. – 2011. – сер. ЭВТ, вып. 3.

[4] *Строганов А.* Неизвестное об известном, или Что такое метастабильность триггера // Компоненты и технологии. – 2008. - №10. – С. 141 – 144.