

Поддержка когерентности на основе справочника в СнК «МЦСТ-8R»

В.И. Грачик^{1,2}, П.А. Смольянов²

¹ Московский физико-технический институт (государственный университет)

² АО «МЦСТ»

При построении высокопроизводительных вычислительных систем стандартным подходом в последнее время стало увеличение количества ядер процессора. Это приводит к нелинейному росту служебного когерентного трафика, особенно в NUMA системах, и наличие восьми или более ядер обычно уже требует специальных решений в организации когерентности [1].

Система на кристалле «МЦСТ-8R» содержит удвоенное количество ядер по сравнению с предшественником «МЦСТ-4R». Она включает в себя два четырехядерных кластера на общем L2 кэше, объединенные общим коммутатором. Коммутатор построен на основе сетевой модели, и при использовании широковещательных запросов для поддержки когерентности он создает повышенную нагрузку на систему даже на однопоточных задачах[2]. Вместо модернизации межпроцессорных каналов существующий контроллер когерентности дополнен справочником.

Справочник позволяет фильтровать обращения в другие процессоры. Он является неполным, т.е. содержит только строки, которые подкачены в кэш-память. Таким образом, при промахе всегда отсутствует необходимость обращения в другие кэши, а при наличии записи в справочнике в большинстве случаев не требуется широковещательный снуп-запрос.

Особенностью данной СнК является высокая тактовая частота 2ГГц, что накладывает определённые ограничения на реализацию. Наиболее оптимальный размер справочника соответствует двум кэшам L2. Используется упрощенный протокол когерентности MOSI с поддержкой эксклюзивного состояния в кэше L2. Алгоритм вытеснения «случайный» позволяет сократить использование памяти и уменьшить длину физических связей, в то время как потеря производительности на большинстве тестов не превышает нескольких процентов. Также разработана оригинальная схема, минимизирующая вероятность блокировки потока запросов при вытеснении из справочника.

Приведенное техническое решение позволяет значительно уменьшить время доступа в память. Согласно статистике на различных архитектурах, ожидаемый прирост производительности от справочника составляет до 40%.

Литература

1. *Исаев М.В.* Основные тенденции в архитектуре высокопроизводительных многоядерных процессоров // Вопросы радиоэлектроники. Сер. ЭВТ. 2011. Вып. 3.
2. *Паттерсон Д., Хеннесси Дж.* Архитектура компьютера и проектирование компьютерных систем. – СПб.: Питер, 2012. – 784 с.